

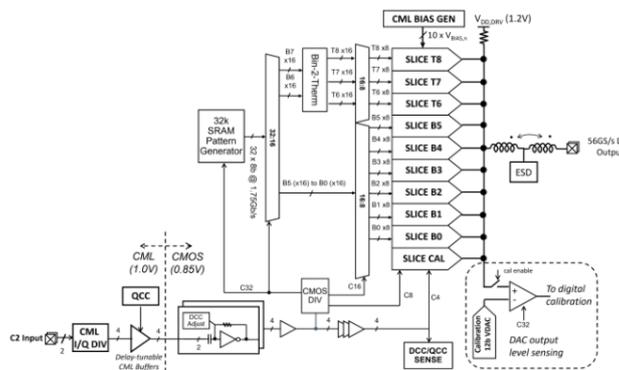
2024 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 23 Wireline Transceivers and Clocking Techniques

이번 2024 IEEE CICC의 Session 23은 Wireline Transceivers and Clocking Techniques라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 유선 송신기에서 고속전송을 달성하기 위해 사용되는 변조 방식(PAM)을 지원할 수 있는 Interface가 소개되었다.

#23-1 100 Gb/s 이상의 유선 송신기에서 고차 펄스 진폭 변조(PAM-Q)와 주파수 영역 변조(OFDM)등의 복잡한 변조방식을 송신하기 위해 높은 선형성을 가진 디지털-아날로그 변환기(DAC)가 필요하다. 이를 위해 본 논문에서는 전류 모드 로직(CML)과 전압 모드 소스-시리즈 종단(SST) 드라이버의 트레이드오프를 분석하고, DAC의 선형성을 개선하는 보정 기술을 제안한다. 첫 번째 사례는 7nm FinFET 기술을 사용한 8비트 56-GS/s weighted CML DAC으로, DAC output을 감지하여 error를 산출하고 driver bias voltage를 replica를 통해 조절하면서 각 weight를 보정하는 방식을 사용한다. 두 번째 사례는 4nm FinFET 기술을 사용한 8비트 72-GS/s SST DAC로, 고차 변조를 지원하기 위한 뛰어난 정적 선형성을 제공한다. 이 두 설계는 보정 알고리즘을 통해 DAC의 선형성을 향상시키고, 이를 통해 고속 통신 링크에서 필요한 높은 성능과 효율성을 달성하므로 200+ Gb/s 유선 통신 링크를 위한 고급 변조방식을 지원하는 송신기의 가능성을 보였다 할 수 있다.



[그림 1] 23-1 송신기 아키텍처

#23-2 224Gb/s 이상의 유선 송신기에서는 고차 펄스 진폭 변조(PAM-4)와 주파수 영역 변조(OFDM) 등의 복잡한 변조 방식을 송신하기 위해 높은 신호 무결성을 가진 디지털-신호 처리(DSP) 기반의 CMOS 송수신기가 필요하다. 이를 위해 본 논문에서는 다양한 변조 방식과 오류 수정 코드를 사용하여 224Gb/s에서 신호 무결성을 분석하고, DAC 기반 송신기(TX)와 ADC 기반 수신기(RX)의 아키텍처와 회로 구현 기술을 제안한다. 첫 번째 사례는 Intel 7(구 10nm) CMOS 기술을 사용한 224Gb/s PAM-4 송신기로, 고성능 데이터 직렬화 및 클로킹 아키텍처를 통해 신호 무결성을 보장한다. 송신기에서는 각 DAC 출력의 오류를 감지하고, 클로킹 아키텍처를 통해 정확한 타이밍을 유지하여 신호 왜곡을 최소화한다. 두 번째 사례는 TSMC N5(5nm) CMOS 기술을 사용한 224Gb/s PAM-4 수신기로, ADC 기반 수신기와 고속 데이터 인터리빙을 통해 높은 신호 무결성을 제공한다. 수신기에서는 고속 데이터 변환과 필터링을 통해 신호 대 잡음비(SNR)를 개선하고, 변조된 신호를 정확하게 복원한다. 이 두 설계는 DSP 기반 보정 알고리즘을 통해 신호 무결성을 크게 향상시키며, 이를 통해 224Gb/s 유선 통신 링크에서 고급 변조 방식을 지원하는 송수신기의 가능성을 입증하였다.

#23-3 Low Jitter 클럭 생성과 주파수 합성은 현대 통신 및 컴퓨팅 시스템에서 필수적이다. 이를 위해 본 논문에서는 45nm RF SOI 기술을 사용하여 -258.5 dB 파워-지터 수치(FoM)를 달성하는 단일 코일 서브샘플링 PLL(SSPLL)을 설계하였다. 제안된 PLL은 재구성 가능한 이산 시간 적분 위상 검출기(DTPD)를 사용하여 29 GHz에서 작동하며 주파수 분할이 필요 없다. DTPD는 저전력, 고속 및 저잡음을 특징으로 하며, VCO 출력 전류를 감지하여 에러 신호를 생성하고 이를 루프 필터에 주입하여 위상 오차를 보정한다. 이를 통해 전력 소모와 설계 복잡성을 최소화하면서 높은 성능을 달성하였다. VCO 및 VCO 버퍼는 매칭된 회로 토폴로지를 사용하여 전력 소모를 줄이고 설계 복잡성을 최소화한다. 안정성 문제를 완화하기 위해 DTPD 회로는 더블 페이즈 구조로 전환할 수 있으며, 피드백 업데이트 속도를 높이고 루프 위상 여유를 증가시키며 지터 피킹을 줄인다. 10 kHz에서 100 MHz까지 통합된 PLL 출력의 총 랜덤 지터는 25.6 fs-rms로 측정되었으며, 1 MHz 오프셋에서의 출력 PN은 더블 페이즈 모드에서 -128 dBc/Hz로 나타났다.

#23-4 점점 증가하는 처리량 수요로 인해 높은 데이터 속도로 작동하는 유선 송신기(TX)의 개발이 촉진되었다. PAM-4 신호는 NRZ에 비해 두 배의 대역폭 효율을 제공하지만, PAM-4의 비대칭 전환 시간으로 인해 불균등한 스위칭 지터(SWJ)가 발생하여 수평 아이 개구가 감소하고 신호 무결성이 저하된다. 본 논문에서는 불균등한 SWJ를 해결하고 ISI를 완화하기 위해 128Gb/s PAM-4 송신기를 제안한다. 제안된 송신기는 엣지 부스트 펄스 발생기와 비대칭 프리-엠퍼시스 프랙셔널 스페이싱 FFE(AFS-FFE)를 사용하여 대역폭을 향상시키고 송신기 출력 신호의 엣지 전환 속도를 가속화한다. 제안된 송신기는

28nm CMOS 기술로 제작되었다. MSB와 LSB 데이터를 패턴 생성기를 통해 생성하고, thermometer 코드 신호로 변환하여 FIR 생성기로 전달하여 최대 5탭 FFE 신호를 생성한다. 8:4 MUX는 데이터를 1UI씩 이동시켜 출력 단계로 전달하며, 각 드라이버 번들은 다섯 개의 UI-스페이싱 FFE 세그먼트와 한 개의 프리-엠퍼시스 AFS-FFE 세그먼트를 포함한다. 각 세그먼트는 출력 다중화 토폴로지와 테일리스 CML 드라이버를 채택하여 독립적으로 구성할 수 있다. T-코일은 TX 출력 수동 네트워크에 포함되어 출력 대역폭을 확장하고 반사 손실을 개선한다. 클록 경로에서는 차동 클록 신호를 수신하고 QEC와 적응형 듀티 사이클 보정(DCC) 회로를 사용한다. 엣지 부스트 펄스 발생기는 대역폭을 향상시키고 송신기 출력 신호의 엣지 전환 속도를 가속화하여 TX 대역폭을 23% 증가시킨다. 128Gb/s PAM-4 모드에서 송신기는 192mW(1.5pJ/b)를 소비하며, 총 활성 면적은 0.18mm²이다. 측정 결과, 제안된 AFS-FFE와 엣지 부스트 펄스 발생기를 통해 불균등한 SWJ 문제를 해결하고 최소 아이 너비를 67% 확장하여 0.4UI의 timing margin을 달성하였다. 이 연구는 기존의 송신기 설계와 비교하여 신호 무결성과 대역폭에서 뛰어난 성능을 입증하였다.

#23-5 고속 통신 시스템에서는 넓은 주파수 범위와 세밀한 주파수 해상도, 낮은 위상 잡음의 위상 고정 루프(PLL)가 필수적이다. 이를 위해 본 논문에서는 ADC 기반 직접 위상 디지털화를 통해 DTC 없이 낮은 프랙셔널 스퍼와 낮은 지터를 달성한 8-14GHz fractional-N PLL을 제안한다. 제안된 PLL은 40nm CMOS 기술을 사용하며, 적분기 기반 시간-전압 변환기와 10비트 SAR ADC를 활용하여 위상 오차를 직접 디지털화한다. 첫 번째 사례는 적분기 기반 시간-전압 변환기와 10비트 SAR ADC를 사용한 직접 위상 오차 디지털화 방식으로, DTC/DAC 및 선형성 보정 없이 높은 선형성을 유지한다. 적분기의 전류원은 캐스코드 트랜지스터와 이득 부스트 증폭기를 사용하여 구현되며, 시간-전압 변환을 위해 2V/ns의 차동 경사를 생성한다. 두 번째 사례는 100MS/s 비동기식 SAR ADC로, 11비트 CDAC 배열과 부스트랩 샘플링 스위치, 더블-테일 비교기를 포함하여 왜곡을 최소화하고 선형성을 유지한다. 듀얼 모드 VCO는 두 가지 작동 모드 간의 불균형을 보상하기 위해 자기 및 전기 결합 강도를 조절하며, 8-14GHz 주파수 범위에서 일관된 튜닝 이득과 위상 잡음 프로파일을 유지한다. 제안된 PLL은 40nm CMOS 기술로 제작되었으며, 0.32mm²의 코어 면적을 갖고, 1.1V 공급 전압에서 동작하며, VCO는 0.7V 공급 전압에서 동작한다. 측정 결과, 10kHz에서 30MHz까지 통합된 PLL 출력 지터는 8-14GHz 주파수 범위에서 180fs 이하를 유지하였다. 디지털 도메인 $\Delta\Sigma$ 양자화 잡음 제거를 통해 프랙셔널 스퍼를 30dB 이상 억제하였다. 총 전력 소모는 1721mW이며, VCO가 주요 전력 소모원으로 1013mW를 소모한다. 본 연구는 DTC/DAC 및 선형성 보정 없이도 뛰어난 성능을 달성한 PLL을 제안하며, 제안된 위상 디지털화 기법은 향후 더 진보된 공정 노드에서 성능이 더욱 향상될 것으로 기대된다.

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>